

Modulbezeichnung: Nanoelektronik (Nano) 2.5 ECTS
(Nanoelectronics)

Modulverantwortliche/r: Michael Jank
Lehrende: Michael Jank

Startsemester: SS 2021 Dauer: 1 Semester Turnus: jährlich (SS)
Präsenzzeit: 30 Std. Eigenstudium: 45 Std. Sprache: Deutsch

Lehrveranstaltungen:

Nanoelektronik (SS 2021, Vorlesung, 2 SWS, Michael Jank)

Empfohlene Voraussetzungen:

Kenntnisse aus den Vorlesungen Halbleiterbauelemente bzw. Nano IV und Prozessintegration und Bauelementearchitektur wünschenswert

Inhalt:

1. Skalierung von MOS Transistoren:
Einsatzspannungs-Absenkung, „Subthreshold Slope“ Band-Band Tunneln, „Drain Induced Barrier Lowering“, Beweglichkeitsdegradation, Tunnelströme, Gateverarmung, Dotierstofffluktuationen, Zuverlässigkeit
2. Neue Architekturen und Materialien für Nano-MOS-Bauelemente:
Hoch epsilon Dielektrika, „Metal Gate“ Elektroden, „Strained Silicon“, SiGe, GeOI, FinFET, TriGate Transistoren, Nanowire Strukturen (Si-Nanotubes, Carbon Nanotubes), Vertikale MOS Strukturen, Schottky MOS
3. Erzeugung kleinster Strukturen:
Optische Lithographie für sub-50 nm, EUV Lithographie, Elektronenstrahl- und Ionenstrahlolithographie, Druck und Prägetechniken, Selbstorganisation
4. Bauelemente der nichtflüchtigen Datenspeicherung:
Ladungsspeicherung in Dielektrika und Nanokristallen (Flash EPROM), Multibit Zellen, Ferroelektrische Speicherzellen, Widerstandsprogrammierbare Zellen (MRAM, PCM, spannungs-programmierbare Zellen)
5. Bauelemente mit einzelnen Elektronen:
Single Electron Device, Resonantes Tunneln, Schaltbare Moleküle
6. Prinzipielle Grenzen:
Quantenmechanische Grenze, Thermische Grenze, Statistische Grenze

Lernziele und Kompetenzen:

Die Studierenden

Fachkompetenz

Anwenden

- erklären den Aufbau und die Funktionsweise nanoelektronischer Bauelemente
- beschreiben die Herstellungsmethoden für nanoelektronische Bauelemente

Analysieren

- analysieren die prinzipiellen Probleme, die sich für Bauelemente im Nanometerbereich ergeben
- diskutieren unterschiedliche Lösungsansätze für zukünftige Bauelemente

Evaluiieren (Beurteilen)

- bewerten Vor- und Nachteile sowie Grenzen aktueller Trends und Entwicklungen auf dem Gebiet nanoelektronischer Bauelemente

Literatur:

- S. Wolf: Silicon Processing for the VLSI Era: Volume 3 - The Submicron MOSFET, Lattice Press, 1995
- S. Wolf: Silicon Processing for the VLSI Era: Volume 4 - Deep-Submicron Process Technology, Lattice Press, 2002
- C. Y. Chang, S. M. Sze: ULSI - Technology, MacGraw-Hill, 1996
- K. Gosser, P. Glösekötter, J. Dienstuhl: Nanoelectronics and Nanosystems, Springer-Verlag, 2004

- H. Xiao, Introduction to Semiconductor Manufacturing Technology, Prentice Hall, 2001
- R. Waser (ed.): Nanoelectronics and Information Technology: Materials, Processes, Devices, 2. Auflage, Wiley-VCH, 2005

Studien-/Prüfungsleistungen:

Nanoelektronik (Prüfungsnummer: 67801)

Prüfungsleistung, mündliche Prüfung, Dauer (in Minuten): 30

Anteil an der Berechnung der Modulnote: 100%

Erstablingung: SS 2021, 1. Wdh.: WS 2021/2022

1. Prüfer: Michael Jank
